

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8523856

Basic Patent (No,Kind,Date): JP 64001273 A2 890105 <No. of Patents: 001>

MANUFACTURE OF POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR
(English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SUMIYOSHI KEN

IPC: *H01L-029/78; H01L-021/20; H01L-021/324; H01L-027/12

CA Abstract No: 111(12)107171U

Derwent WPI Acc No: C 89-051064

JAPIO Reference No: 130168E000056

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 64001273	A2	890105	JP 87156898	A	870623 (BASIC)

Priority Data (No,Kind,Date):

JP 87156898 A 870623

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02703673 **Image available**

MANUFACTURE OF POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR

PUB. NO.: **64-001273** [JP 64001273 A]

PUBLISHED: January 05, 1989 (19890105)

INVENTOR(s): SUMIYOSHI KEN

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-156898 [JP 87156898]

FILED: June 23, 1987 (19870623)

INTL CLASS: [4] H01L-029/78; H01L-021/20; H01L-021/324; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 747, Vol. 13, No. 168, Pg. 56, April
21, 1989 (19890421)

ABSTRACT

PURPOSE: To improve a field effect mobility and off-current characteristic, by making crystal grains to grow from a region, wherein oxygen inside an amorphous silicon thin film is not ion-implanted, into a region, wherein oxygen inside the amorphous silicon thin film is ion-implanted, so as to manufacture a thin film having the grown direction of crystal grains that coincides with the channel length direction.

CONSTITUTION: A region 103, wherein oxygen is ion-implanted, and a region 104, wherein oxygen is not ion-implanted, are made inside an amorphous silicon thin film 101 on an amorphous substrate 100. Next, the thin film 101 is given heat treatment for being crystallized. In this crystallizing process, the region 104, wherein silicon is not ion-implanted, firstly crystallizes. As the result of crystallization, crystal grains 105 assume the shape of being extended from the region 103 to the region 104. A source region 201 and a drain region 202 are provided having the direction of the crystal grains 105 as the length direction of a channel. Thereby, a carrier flowing through the channel is hard to be subjected to crystal interface scattering so as to show large mobility as the result. Further, the crystal interfaces running in the vertical direction to the electric field to be impressed on the source and the drain are little so as to show a low off-current.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-1273

⑬ Int.Cl.⁴

H 01 L 29/78
21/20
21/324
27/12

識別記号

3 1 1

庁内整理番号

H-7925-5F
7739-5F

⑭ 公開 昭和64年(1989)1月5日

7514-5F 審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 多結晶シリコン薄膜トランジスタの製造方法

⑯ 特 願 昭62-156898

⑰ 出 願 昭62(1987)6月23日

⑱ 発 明 者 住 吉 研 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

多結晶シリコン薄膜トランジスタの製造方法

2. 特許請求の範囲

(1) 非晶質基板の上に非晶質シリコン薄膜を形成し、該非晶質シリコン薄膜の一部分に酸素をイオン注入した後、熱処理を加えて結晶化する工程において、該非晶質シリコン薄膜内の前記酸素をイオン注入していない領域から該非晶質シリコン薄膜内の前記酸素をイオン注入した領域へ結晶粒を成長させ、該結晶粒の成長方向をチャネル長方向として薄膜トランジスタを作成することを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は多結晶シリコン薄膜トランジスタの製造方法に関するものである。

〔従来の技術〕

近年、液晶や薄膜発光素子を用いた画像表示装置や、アモルファスシリコンを用いた光センサの

駆動用に、多結晶シリコン薄膜トランジスタが使用され始めている。

例えば、ジャーナル・オブ・アプライド・フィジックス(Journal of Applied Physics)55巻1984年1590頁の「スィン・フィルム・トランジスタ・オン・モレキュラ・ビーム・デポジッション・ポリクリスタルライン・シリコン」(“Thin film transistors on molecular-beam-deposited polycrystalline silicon”)や、エクステンディッド・アブストラクツ・オブ・ザ・シックスティーンス(1984 インターナショナル)コンファレンス・オン・ソリッド・ステート・デバイス・アンド・マテリアルズ、コベ、1984 (Extended Abstracts of the 16th(1984)International)Conference on Solid State Devices and Materials, Kobe, 1984)中の555頁からの「セミトランスペアレント・メタルーSi・エレクトロース・フォア・a-Si:Hフオトダイオーズ・ゼア・アプリケーション・トゥー・ア・コンタクトタイプ・リニア・センサ・アレイ(Semitransparent Metal-Si Electrodes for

a-Si:H Photodiodes and Their Application to a Contact-type Linear Sensor Arrays)や563頁からの「ハイ・トランスコンダクタンス・Si-TFT's・ユージング・ Ta_2O_5 フィルムズ・アズ・ゲート・インシュレータズ」(High Transconductance Si-TFT's Using Ta_2O_5 Films as Gate Insulators)にその例がみられる。

上記の例に多く見られるように、大型の表示装置や長尺の光センサは、大型化が容易な非晶質基板上に作られている。仮に、シリコンICチップを用いて、前記表示装置や光センサを駆動しようとすれば、シリコンICチップから表示画素あるいは光センサ素子への金属ワイヤによる多数の配線工程が必要となる。しかしながら、前記の例にみられるように、該非晶質基板上に多結晶シリコン薄膜トランジスタからなる駆動回路を設けることができれば、多結晶シリコン薄膜トランジスタから表示画素あるいは光センサ素子への配線工程は、1回のフォトリソグラフィ工程で済ますことができる。以上の理由のため、表示画素あるい

は光センサ素子への配線工程の単位価格を下げるためには、表示装置あるいは光センサと同一基板上に多結晶シリコン薄膜トランジスタからなる駆動回路を設けることが必要である。さらに表示装置あるいは光センサの素子密度が大きくなれば、前記の配線工程の単位価格の差は一層大きくなる。前記の理由のため、多結晶シリコン薄膜トランジスタの開発が活発に行われている。

(発明が解決しようとする問題点)

しかし、通常の多結晶シリコン薄膜を用いて作成した薄膜トランジスタは、移動度が低く、オフ電流が大きい。これは前記の多結晶シリコン薄膜トランジスタでは結晶粒と結晶粒との間に結晶粒界が存在するためである。電子あるいは正孔は、前記結晶粒界により散乱される。このため、多結晶シリコン薄膜トランジスタは、単結晶シリコンから作成されるトランジスタより低い移動度を示す。また、単結晶シリコンを用いたトランジスタにおいては、オフ電流がチャネル領域とソース領域あるいはチャネル領域とドレイン領域からなる

PN接合の逆方向電流により低く抑えられる。しかし、多結晶シリコン薄膜トランジスタにおいては、前記PN接合の空乏層中に結晶粒界が存在し、さらに、結晶粒界中の捕獲単位にはキャリアが捕獲されている。このため、空乏層に印加される電界により、前記の捕獲されたキャリアが放出される。このような原因のため、多結晶シリコン薄膜トランジスタのPN接合の逆方向電流は、大きなものとなる。

しかしながら、例えば、テレビ動作をする液晶表示画素駆動に多結晶シリコン薄膜トランジスタを使用することを考えた場合、1画面を描く1フレーム時間内に液晶素子は電圧を維持しなければならない。このためには、液晶を駆動する薄膜トランジスタは、 10^{-8} A以下の小さなオフ電流を持たなければならない。また例えば、各表示画素を水平に走査する水平走査回路は、表示画素走査を4.2MHzで行わなければならない。前記駆動周波数で動作するためには、薄膜トランジスタには100cd/Vsec以上の電界効果移動度が要求される。しかし

ながら、従来の多結晶シリコン薄膜トランジスタは 10^{-8} A程度のオフ電流をもち、移動度は大きくても10cd/Vsec程度であった。以上のように、従来の多結晶シリコン薄膜トランジスタの特性はオフ電流が大きく、移動度が小さいため、応用上求められている特性を満足するものではなかった。

本発明の目的は電界効果移動度およびオフ電流特性をともに改善する多結晶シリコン薄膜トランジスタの製造方法を提供することにある。

(問題点を解決するための手段)

本発明は非晶質基板上に非晶質シリコン薄膜を形成し、該非晶質シリコン薄膜の一部分に酸素をイオン注入した後、熱処理を加えて結晶化する工程において、該非晶質シリコン薄膜内の前記酸素をイオン注入していない領域から該非晶質シリコン薄膜内の前記酸素をイオン注入した領域へ結晶粒を成長させ、該結晶粒の成長方向をチャネル長方向として薄膜トランジスタを作成することの特徴とする多結晶シリコン薄膜トランジスタの製造方法である。

〔作用〕

本発明の製造方法を第1図(a)~(d)を用いて説明する。第1図(a)において、非晶質基板100上に、例えば真空蒸着法あるいは気相化学反応法あるいは多結晶シリコン薄膜中にシリコンをイオン注入することにより、非晶質シリコン薄膜101を形成する。次に、第1図(b)に示すように、マスク102を介して、酸素をイオン注入する。その後、マスク102を除去する。前記工程により、第1図(c)に示すように、非晶質シリコン薄膜101内に酸素をイオン注入した領域103と酸素をイオン注入していない領域104を作ることができる。次に、該非晶質シリコン薄膜101に熱処理を加え、該非晶質シリコン薄膜101を結晶化する。該結晶化の工程においては、前記シリコンをイオン注入していない領域104がはじめに結晶化する。なぜならば、非晶質シリコン薄膜101中の酸素が結晶化を抑制するため、前記酸素をイオン注入した領域103の結晶化が前記酸素をイオン注入していない領域104の結晶化と比較して遅いためである。従って、

結晶化は前記酸素をイオン注入していない領域104においてははじめに起こり、さらに第1図(d)の矢印に示すように、前記酸素をイオン注入した領域103の方向へ起こる。第2図(a)は薄膜面内の結晶粒を模式的に示す図である。結晶化の結果、結晶粒105は領域103から領域104へ伸びた形となる。該結晶粒105の方向をチャンネル長方向とするように、第2図(b)に示すように、ソース領域201とドレイン領域202を設ける。該チャンネル長方向には、結晶粒界が少ないため、チャンネルをながれるキャリアは結晶粒界散乱を受け難く、結果として薄膜トランジスタは大きな移動度を示す。また、ソースとドレインに印加される電界の垂直方向に走る結晶粒界が少ないため、薄膜トランジスタは低いオフ電流を示す。以上述べたように、組成原子である酸素をイオン注入することによりシリコン薄膜の純度を低下させることなく、大きい移動度と低いオフ電流を示す薄膜トランジスタが得られる。

〔実施例〕

以下本発明の製造方法の実施例について、第3

図(a)~(d)にしたがって説明する。第3図(a)に示すように、石英基板300上に真空蒸着法により、基板温度320℃で、非晶質シリコン薄膜301を厚さ0.2 μ m堆積する。このときの成膜時の真空槽内の圧力は 1×10^{-7} torr以下であった。次に、第3図(b)に示すように、フォトリソグラフィ工程により該非晶質シリコン薄膜301上に、フォトレジストをイオン注入用マスク302として成形した。前記工程の後、シリコンを加速電圧50KeV、ドーズ量 5×10^{14} cm $^{-2}$ の条件でイオン注入した。さらに、酸洗浄によりマスク302を除去した。前記工程の後、該石英基板300を電気炉によって、窒素雰囲気中で600℃、15時間の熱処理を加えた。前記工程の後、第3図(c)に示すように結晶化した薄膜301をフォトリソグラフィ工程により各トランジスタ領域303に分割する。この後、第3図(d)に示すように、ゲート酸化膜である酸化シリコン膜304を、水素化シリコン(SiH $_4$)と亜酸化窒素(N $_2$ O)による気相化学反応により、基板温度630℃で、厚さ0.1 μ m形成した。さらに、多結晶シリコン薄膜を、水素化

シリコン(SiH $_4$)の熱分解による気相化学反応などを用いて、厚さ0.3 μ m形成し、ゲート電極305を形成した。この後、第3図(e)に示すように、リンイオンを 5×10^{14} cm $^{-2}$ イオン注入し、ソース領域306とドレイン領域307を形成した。さらに、650℃、1時間の熱処理を行い、ソース領域306とドレイン領域307の活性化を図った。前記工程の後、第3図(f)に示すように、酸化シリコン膜308を前述の気相化学反応により厚さ1 μ m形成し、フォトリソグラフィ工程により該ソース領域306、該ドレイン領域307上の酸化シリコン膜308にコンタクトホールを設けた。前記工程の後、真空蒸着等の方法により配線金属としてアルミニウムを堆積し、フォトリソグラフィ工程により第3図(g)に示すソース電極309とドレイン電極310とゲート電極間の配線を行った。この後、450℃、30分の水素中での熱処理を行った。

上記の工程により作成した薄膜トランジスタの特性は、電界効果移動度100cm 2 /Vsec、オフ電流 10^{-12} Aであった。

比較のために、トランジスタ領域303として、真空蒸着により基板温度600℃で作成した多結晶シリコン薄膜を用い、第3図(㉒)以降の工程を同一にした従来型の薄膜トランジスタも同時に作成した。この工程により作成した薄膜トランジスタの特性は、電界効果移動度 $10\text{cm}^2/\text{Vsec}$ 、オフ電流 10^{-10}A であった。

〔発明の効果〕

以上から本発明の製造方法によって作成した多結晶シリコン薄膜トランジスタは、従来の多結晶薄膜トランジスタと比較して電界効果移動度が大きく、オフ電流は小さく、その特性を大きく改善することができる。本発明による多結晶シリコン薄膜トランジスタを液晶表示装置の駆動に用いて、優れた効果を有するものである。

4. 図面の簡単な説明

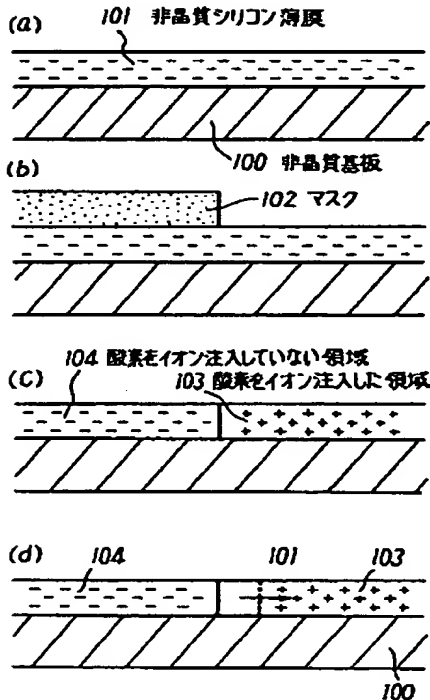
第1図(㉑)～(㉔)は本発明の製造方法を説明するための図、第2図(㉑)は本発明による薄膜トランジスタ領域の結晶粒を説明するための図、(㉒)は結晶粒の方向とソース領域、ドレイン領域との関係を示

す図、第3図(㉑)～(㉔)は本発明の実施例を工程順に示す図である。

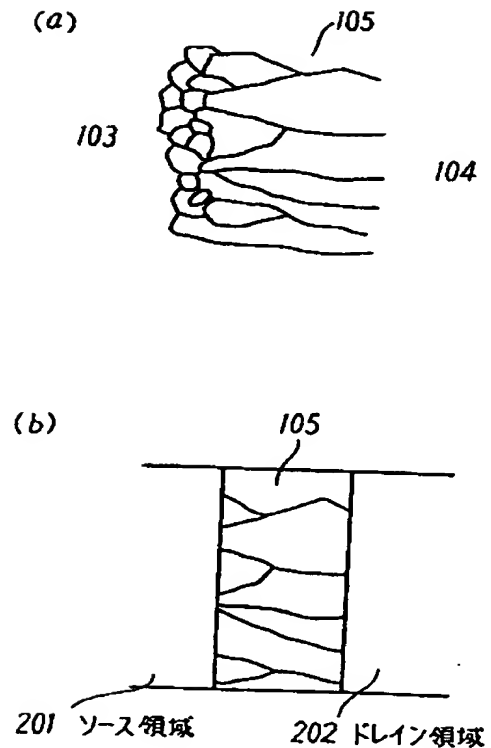
100…非晶質基板	101,301…非晶質シリコン薄膜
102…マスク	103…酸素をイオン注入した領域
104…酸素をイオン注入していない領域	
201,306…ソース領域	202,307…ドレイン領域
300…石英基板	302…イオン注入用マスク
303…トランジスタ領域	304…酸化シリコン薄膜
305…ゲート電極	308…酸化シリコン膜
309…ソース電極	310…ドレイン電極

特許出願人 日本電気株式会社

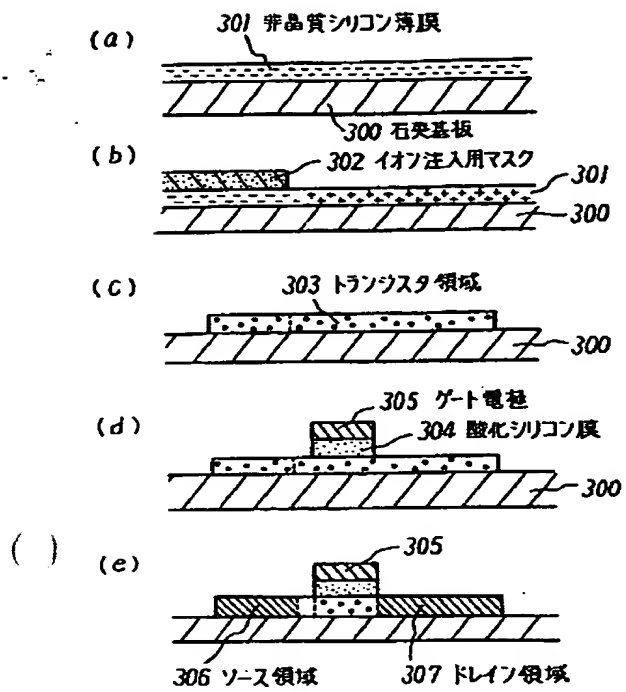
代理人 弁理士 内原 哲



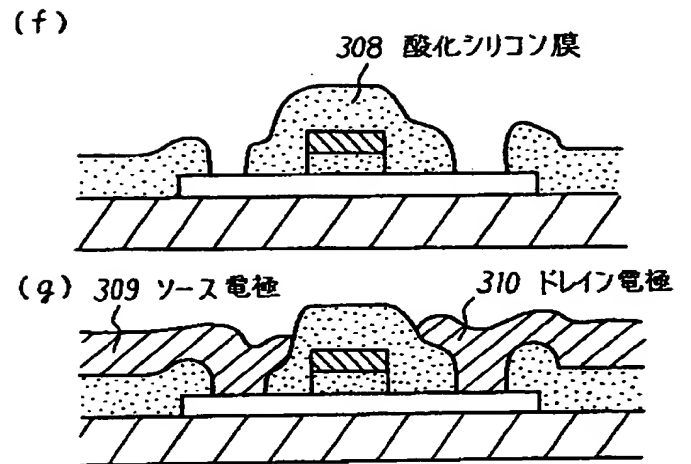
第1図



第2図



第 3 図



第 3 図